



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001184795 A**(43) Date of publication of application: **06.07.01**

(51) Int. Cl.

**G11B 20/10**  
**G11B 7/005**
(21) Application number: **11367483**(71) Applicant: **NEC CORP**(22) Date of filing: **24.12.99**(72) Inventor: **HONMA HIROMI**

**(54) INFORMATION DETECTING CIRCUIT WITH  
BUILT-IN ADAPTIVE EQUALIZER AND OPTICAL  
DISK DEVICE USING THE SAME**

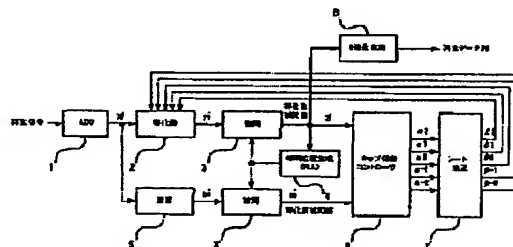
rate collecting circuit, inputting interpolation output  
of equalizer output in a binarization circuit.

COPYRIGHT: (C)2001,JPO

(57) Abstract:

**PROBLEM TO BE SOLVED:** To provide an information detector with a digital PLL circuit having a wide margin the loop delay of which is short and following secular change, and an optical disk device.

**SOLUTION:** Information is detected by A/D converting a reproduction signal by a clock with frequency higher than that of a channel clock, digitally equalizing A/D conversion output by the same clock, performing re-sampling from digital equalization output by the PLL circuit applying an interpolation circuit, re-sampling the A/D conversion output by a second interpolation circuit after delaying it by the same quantity as that of a digital equalizer, using information about the PLL circuit for an interpolating position of the second interpolation circuit, a tentative tap coefficient is generated by inputting interpolation information before and after equalization in a tap coefficient controller, feeding back the tentative tap coefficient by converting it into operation rate of the digital equalizer by a



**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-184795

(P2001-184795A)

(43) 公開日 平成13年7月6日 (2001.7.6)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テ-マ-ト (参考)

G 1 1 B 20/10  
7/005

3 2 1

G 1 1 B 20/10  
7/005

3 2 1 A 5 D 0 4 4  
B 5 D 0 9 0

審査請求 有 請求項の数13 O L (全 17 頁)

(21) 出願番号

特願平11-367483

(22) 出願日

平成11年12月24日 (1999. 12. 24)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 本間 博巳

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100080816

弁理士 加藤 朝道

Fターム(参考) 5D044 BC02 CC04 FG02 FG05 FG06

FG12

5D090 AA01 BB02 CC04 DD03 DD05

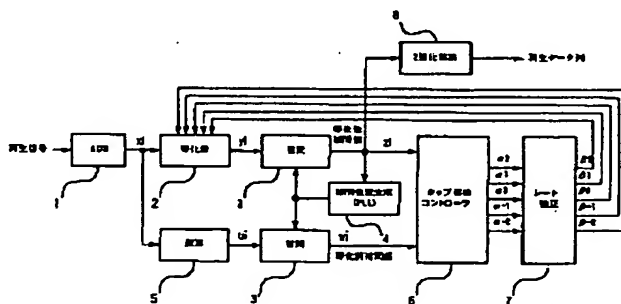
EE14 EE15 EE17 FF07

(54) 【発明の名称】 適応等化器を内蔵した情報検出回路およびこれを用いた光ディスク装置

(57) 【要約】

【課題】 ループディレイが短くかつ経時変化に追従する広いマージンを持ったデジタルPLL回路を備えた情報検出装置、光ディスク装置の提供。

【解決手段】 再生信号をチャネルクロックよりも高い周波数のクロックでA/D変換し、A/D変換出力を同じクロックでデジタル等化し、デジタル等化出力から補間回路を応用したPLL回路によりリサンプリングを行い、またA/D変換出力をデジタル等化器と同じだけ遅延させてから第2の補間回路によってリサンプリングし、第2の補間回路の補間位置は、PLL回路の情報を用い、等化前後の補間情報をタップ係数コントローラに入力して仮のタップ係数を生成し、この仮のタップ係数をレート補正回路によってデジタル等化器の動作レートに変換してフィードバックし、等化器出力の補間出力を2値化回路に入力して情報検出を行う。



## 【特許請求の範囲】

【請求項1】再生信号のチャネルクロックよりも高い周波数のクロックで前記再生信号をサンプリングするA/D変換器と、  
 前記A/D変換器からの出力（「A/D変換情報」という）を等化する等化器と、  
 前記等化器の出力値列から補間値を生成する第1の補間回路と、  
 前記A/D変換情報を前記等化器の出力遅延量と同等の遅延量遅延させて出力する遅延回路と、  
 前記遅延回路の出力値列から補間値を生成する第2の補間回路と、  
 前記第1の補間回路の出力から再生信号のチャネルクロックに位相同期した補間値を生成し得る補間位置情報を生成し、前記補間位置情報を前記第1の補間回路と前記第2の補間回路とに対して供給する補間位置生成回路と、  
 前記第1の補間回路の出力を2値化して再生データ列を生成出力する2値化回路と、  
 前記第1の補間回路からの補間値出力と前記第2の補間回路からの補間値出力とからタップ係数を生成するタップ係数コントローラと、  
 前記タップ係数コントローラから出力されるタップ係数を前記等化器用に変換するレート補正回路と、を備え、  
 前記レート補正回路で前記等化器用に変換されたタップ係数が前記等化器にフィードバック入力される、ことを特徴とする情報検出回路。

【請求項2】再生信号のチャネルクロックよりも高い周波数のクロックで前記再生信号をサンプリングするA/D変換器と、  
 前記A/D変換器からの出力（「A/D変換情報」という）を等化する第1の等化器と、  
 前記第1の等化器の出力値列から補間値を生成する第1の補間回路と、  
 前記A/D変換情報を前記第1の等化器の出力遅延量と同等の遅延量を遅延させて出力する遅延回路と、  
 前記遅延回路の出力値列から補間値を生成する第2の補間回路と、  
 前記A/D変換情報を等化する第2の等化器と、  
 前記第2の等化器の出力値列から補間値を生成する第3の補間回路と、  
 前記第1の補間回路の出力から再生信号のチャネルクロックに位相同期した補間値を生成し得る補間位置情報を生成し、前記補間位置情報を前記第1、第2、及び第3の補間回路に対して供給する補間位置生成回路と、  
 前記第1の補間回路からの補間値出力と前記第2の補間回路からの補間値出力とからタップ係数を生成する第1のタップ係数コントローラと、  
 前記第1のタップ係数コントローラから出力されるタップ係数を前記第1の等化器用に変換する第1のレート補

正回路と、

前記第3の補間回路からの補間値出力と前記第2の補間回路からの補間値出力からタップ係数を生成する第2のタップ係数コントローラと、  
 前記第2のタップ係数コントローラから出力されるタップ係数を前記第2の等化器用に変換する前記第2のレート補正回路と、  
 前記第3の補間回路出力を2値化して再生データ列を生成出力する2値化回路と、を備え、  
 前記第1のレート補正回路から出力されるタップ係数が前記第1の等化器にフィードバック入力され、前記第2のレート補正回路から出力されるタップ係数が前記第2の等化器にフィードバック入力される、ことを特徴とする情報検出回路。

【請求項3】再生信号のチャネルクロックよりも高い周波数のクロックで前記再生信号をサンプリングするA/D変換器と、  
 前記A/D変換器からの出力（「A/D変換情報」という）を等化する第1の等化器と、  
 前記第1の等化器の出力値列から補間値を生成する第1の補間回路と、  
 前記A/D変換情報を前記第1の等化器の出力遅延量と同等の遅延量遅延させて出力する遅延回路と、  
 前記遅延回路の出力値列から補間値を生成する第2の補間回路と、  
 前記A/D変換情報を等化する第2の等化器と、  
 前記第2の等化器の出力値列から補間値を生成する第3の補間回路と、  
 前記第1の補間回路の出力から再生信号のチャネルクロックに位相同期した補間値を生成し得る補間位置情報を生成し、前記補間位置情報を前記第1、第2、及び第3の補間回路に対して供給する補間位置生成回路と、  
 入力される等化器選択信号により前記第1の補間回路の出力と前記第3の補間回路の出力を選択出力するセクタと、  
 前記等化器選択信号により等化方式が可変され、前記セクタの出力と、前記第2の補間回路の出力とを入力としタップ係数を生成するタップ係数コントローラと、  
 前記タップ係数コントローラから出力されるタップ係数を、前記第1又は第2の等化器用に変換するレート補正回路と、  
 前記等化器選択信号により、前記レート補正回路からの出力値を出力するか保持するかを選択制御する第1、及び第2のレジスタと、  
 前記第3の補間回路の出力を2値化して再生データ列を生成出力する2値化回路と、を備え、  
 前記第1、及び第2のレジスタから出力されるタップ係数が、それぞれ、前記第1、及び第2の等化器に、フィードバック入力される、ことを特徴とする情報検出回路。

【請求項4】再生信号を所定のサンプルレートでサンプリングするA/D変換器と、  
前記A/D変換器からの出力（「A/D変換情報」という）を等化する等化器と、  
前記等化器の出力値列から補間値を生成する第1の補間回路と、  
前記A/D変換情報を前記等化器の出力遅延量と同等の遅延量遅延させて出力する遅延回路と、  
前記遅延回路の出力値列から補間値を生成する第2の補間回路と、  
前記第1の補間回路の出力から再生信号のチャネルクロックに位相同期した補間値を生成し得る補間位置情報を生成し、前記補間位置情報を前記第1の補間回路と前記第2の補間回路とに対して供給する補間位置生成回路と、  
前記第1の補間回路の出力を2値化して再生データ列を生成出力する2値化回路と、  
前記第1の補間回路からの補間値出力と前記第2の補間回路からの補間値出力とからタップ係数を生成するタップ係数コントローラと、を備え、  
前記タップ係数コントローラから出力されるタップ係数が直接前記等化器にフィードバック入力される、ことを特徴とする情報検出回路。

【請求項5】請求項1、2、3のいずれかに記載の情報検出回路であって、前記レート補正回路を通さずに、直接、前記タップ係数コントローラから出力されるタップ係数を前記等化器に供給する構成としたことを特徴とする情報検出回路。

【請求項6】前記各補間回路が、入力される現在の信号値と1又は複数サンプルクロック前の信号値と、入力される前記補間位置情報とに基づき、線形補間して導出するか、もしくは、より高次の補間を行って前記補間値を導出する構成とされている、ことを特徴とする請求項1乃至5のいずれかに記載の情報検出回路。

【請求項7】前記補間位置生成回路が、入力情報を位相情報に変換する位相比較器と、前記位相比較器の出力を入力とするローパスフィルタと、前記ローパスフィルタの出力である周波数情報から前記補間位置情報を生成する周波数変換回路と、を備えた、ことを特徴とする請求項1乃至5のいずれかに記載の情報検出回路。

【請求項8】前記周波数変換回路が、周波数のずれ量に対応した傾きの鋸波状の補間位置信号を出力する手段と、  
前記補間位置信号が不連続になる部分で回路の動作を止めるためのタイミング制御信号を出力する手段とを備えた、ことを特徴とする請求項7記載の情報検出回路。

【請求項9】前記レート補正回路が、前記タップ係数コントローラから出力されるタップ係数値を、前記チャネルクロックと前記サンプリング用のクロックのタイミング差（ $\delta$ ）の1次もしくはより高次の次数で補正してな

るタップ係数を出力する構成とされている、ことを特徴とする請求項1乃至8のいずれかに記載の情報検出回路。

【請求項10】請求項1乃至9のいずれかに記載の情報検出回路であって、前記2値化回路がビタビ検出器よりなる、ことを特徴とする情報検出回路。

【請求項11】再生信号をチャネルクロックよりも高い周波数のサンプリングクロックでアナログ・デジタル変換して出力するA/D変換器と、  
前記A/D変換器からのデジタル出力を前記A/D変換器と同じサンプリングクロックで等化する等化器と、  
前記等化器のデジタル等化出力を、補間位置信号に基づき、再サンプリングして補間信号を出力する第1の補間回路と、  
前記第1の補間回路の補間信号を入力する位相比較器、ループフィルタ、周波数変換回路よりなり、前記周波数変換回路から、前記再生信号のチャネルクロックに位相同期し得る補間位置信号を出力して、前記第1の補間回路の補間位置信号入力端に供給し、位相同期用のループを構成してなる補正位置生成回路と、  
前記A/D変換器の出力を遅延回路で前記等化器の信号遅延分相当遅延させた信号を再サンプリングして補間信号を出力する第2の補間回路と、  
を備え、  
前記第2の補間回路の補間位置信号として前記補正位置生成回路からの補間位置信号が入力され、  
前記第1の補間回路の補間信号出力と前記第2の補間回路の補間信号出力とを入力とし、タップ係数を生成出力するタップ係数コントローラと、  
前記タップ係数コントローラから出力されるタップ係数を前記等化器用に変換し、前記等化器に供給するレート補正回路と、  
前記第1の補間回路の出力を2値化して再生データを出力する2値化回路と、  
を備えたことを特徴とする再生装置。

【請求項12】光ディスクの再生系に、請求項1乃至10のいずれかに記載の情報検出回路を備えたことを特徴とする光ディスク装置。

【請求項13】ディスク記録媒体からヘッドを介して読み出された再生信号を、請求項1乃至10のいずれかに記載の情報検出回路の前記A/D変換器に入力してなる、ことを特徴とする再生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高密度記録された情報を再生する装置に関し、特にPLL（Phase Locked Loop；位相同期ループ）追従性能の向上および情報検出性能の向上を図る装置に関する。

【0002】

【従来の技術】近時、マルチメディア化の進展により、

映像情報を含めた大量の情報を処理することが必要とされている。さらに、これらの情報を記録するためのストレージ装置の大容量化の要求が急速に増大している。光ディスク装置あるいはHDD装置の記憶容量を増加させるためには記録密度を上げる必要があり、これに伴い、エラーレートの低減、信頼性の確保が重要課題となってきた。

【0003】「PRML (Partial Response Maximum Likelihood)」と呼ばれる再生方式は、分解能が低下した高密度記録再生波形に対しても高い再生性能を有しているため、ファイル装置等への搭載が相次いでなされている。

【0004】パーシャルレスポンス (Partial Response) 波形等化と最尤 (Maximum Likelihood) 検出を組み合わせたこのPRML方式は、再生チャネルを考慮した最尤検出器の特性を最大限に引き出すために、再生信号を波形等化によって補正後、最尤検出することはよく知られるところである。

【0005】PRML方式については、例えば文献「1994年、テレビジョン学会年次大会(ITE'94)予稿集、287～288頁」等の記載等が参照される。

【0006】光ディスク、磁気ディスクいずれに関しても、高密度記録された情報を再生する場合には、符号間干渉が大きくなり、再生振幅が低下してしまう。

【0007】従って、磁気ディスクではSNR (信号対雑音比) が小さく、光ディスクでは再生信号の高い周波数成分のCNR (搬送波対雑音比) が小さくなり、検出情報の誤り率が上昇してしまう。

【0008】最尤検出方式は、決まった状態遷移を有する再生チャネルの特性を利用して情報の検出を行っており、検出器に入力される例えば8bit程度の量子化ビット数の振幅情報列に対して、再生チャネルの特性から考えられる全ての時系列パターンの中から誤差の二乗平均が最小になるものを選択することでSNRあるいはCNRが小さくても低い誤り率で情報を検出することができるのである。

【0009】実際の回路上で、上述の処理を行うことは、回路規模および動作速度の点で困難であるため、通常は、例えば文献(「IEEE Transaction on Communication, VOL.COM-19, Oct, 1971」)に示されている「ビタビアルゴリズム」と呼ばれるアルゴリズムを用いてパスの選択を漸進的に行うことにより実現している。

【0010】ビタビ検出器と、それ以降に接続されるデジタル回路群は、同期回路であるため、同期したクロック信号が必要である。通常は、再生信号自信からこのクロック信号を抽出しているが、ディスク装置の再生信号は、スピンドルの回転むらやディスクの微少な傾きによって、同期クロックの周波数は若干変化するため、この変化に追従するために、PLL (Phase Locked Loop; 位相同期ループ) と呼ばれるクロック抽出回路が必

要となる。

【0011】そしてビタビ検出器等を用いる場合、従来のアナログPLL回路とPRML検出器による構成では、定常位相誤差が発生してしまい、エラーレートが上昇してしまうため、アナログ・デジタル変換(A/D変換)後のサンプルデータ(デジタルデータ)を用いて位相比較を行い、位相同期ループを構成することが一般的である。上記した構成のPLL回路は、例えば特開平8-321140号公報あるいは特開平9-204740号公報に記載されている。

【0012】このうち特開平8-321140号公報に記載されるPLL回路では、ループフィルタ(LPF; 低域通過フィルタ)の出力をD/A変換器(DAC)によって一旦アナログ信号に変換してアナログ方式のVCO(電圧制御発振器)に供給し、PLLクロックを生成している。この場合、アナログVCO回路は、特性差が大きく、同じ性能のPLL回路を構成することが困難である。

【0013】これに対して、例えば特開平10-27435号公報には、再生信号のチャネルクロックに同期していないシステムクロックでA/D変換を行い、補間回路によって所望の位相のサンプル列を生成し直す再生方法が記載されている。この方法を用いることで、PLL回路を含めた再生系を全てデジタル化することが可能となる。

【0014】また、信号の経時劣化を適応的に補正して検出性能を高める技術として自動等化あるいは適応等化方式がある。逐次型の適応等化アルゴリズムとして、例えば文献(猪瀬博、宮川洋共著、「PCM通信の進歩」)に詳しく記載されているが、特に、「Zero Forcing (ゼロフォーシング) 法」、「Mean Square (二乗平均) 法」、「Modified Zero Forcing (修正ゼロフォーシング) 法」などが一般的である。適応等化技術は、装置の初期調整が不要となるなどその効果は大きい。適応等化を実現するための回路には乗算器と積分器が多数含まれており、回路規模の点で問題が大きかったが、近年の半導体プロセス技術の進歩によって、ほぼ解消されている。

【0015】

【発明が解決しようとする課題】上記したように、高密度記録した再生信号は、符号間干渉の影響によりSNRが劣化するため、PLLにとっても、等化器により周波数特性の補正をした方がより良い追従性能を得ることができる。

【0016】等化器の配置方法によって、2種類の構成が知られているが、それぞれ利点と問題点を合わせて持っている。

【0017】第1の構成として、アナログ等化器によって、ある等化を行ってから、A/D変換し、PLL動作を行わせるという最も一般的な構成では、等化特性の調

整の自動化が困難であるという問題点がある。このため、ヘッド、メカ（機構）、媒体など経時劣化および動作する環境条件に起因する再生信号の特性変化に追従することができない。従って、あらかじめ信号検出系に広めのマージンを割り当てる必要がある。

【0018】これに対して、図21に示すように、再生信号を入力とするA/D変換器1の出力と、PLL回路（位相比較器41、LPF42、DAC44、VCO45からなる）の間に、デジタル等化器2を挿入し、等化前後の情報を用いて、等化器2の係数を自動的に修正するタップ係数コントローラ6を備え、適応等化器を配置する構成が知られている。

【0019】しかしながら、かかる構成では、等化性能を上げるためには、タップ数を増やす必要があり、出力遅延が増加する。

【0020】また、等化器2内の乗算器（不図示）に高速動作が要求されるため、回路のパイプライン化が必要となり、ここでも出力遅延が増加する。

【0021】このため、等化器2による遅延は、10段を超えることは珍しくない。

【0022】一方、第2の構成では、入力される信号に対して適応的に系が追従するため確かに経時劣化、動作環境などに対して強くなる。しかし、出力遅延の長い等化器が挿入された分、PLLのループディレイが増加し、追従特性を損なってしまう、という問題点がある。

【0023】したがって、本発明は、上記問題点に鑑みてなされたものであって、その目的は、ループディレイが短くかつ経時変化に追従する広いマージンを持ったデジタルPLL回路を提供することにある。

【0024】また本発明の他の目的は、ループディレイが短くかつ経時変化に追従する広いマージンを持ったデジタルPLL回路と、ビタビ検出に適したチャネル特性に自動追従する等化器を兼ね備えた情報検出装置を提供することにある。

【0025】さらに本発明の他の目的は、ループディレイが短くかつ経時変化に追従する広いマージンを有するデジタルPLL回路を備え、装置の信頼性を向上する光ディスク装置を提供することにある。これ以外の本発明の目的、特徴、利点は以下の説明から、当業者には直ちに明らかとされるであろう。

【0026】

【課題を解決するための手段】前記目的を達成する本発明に係る情報検出回路は、再生信号のチャネルクロックよりも高い周波数のクロックでサンプリングするA/D変換器と、前記A/D変換器から出力（「A/D変換情報」という）を等化する等化器と、前記等化器の出力値列から補間値を生成する第1の補間回路と、前記A/D変換情報を前記等化器の出力遅延量と同等の遅延量遅延させる遅延回路と、前記遅延回路の出力値列から補間値を生成する第2の補間回路と、前記第1の補間回路の出

力から再生信号のチャネルクロックに位相同期した補間値を生成し得る補間位置情報を生成するとともに、前記第1の補間回路と前記第2の補間回路に対して、前記補間位置情報をフィードバックする補間位置生成回路と、前記第1の補間回路の出力を2値化して再生データ列を生成する2値化回路と、前記第1の補間回路の出力と前記第2の補間回路の出力を入力とするタップ係数コントローラと、前記タップ係数コントローラの出力タップ係数を前記等化器用に変換するレート補正回路と、を備え、前記レート補正回路の出力を前記等化器のタップ係数にフィードバックする。

【0027】本発明に係る情報検出回路は、再生信号のチャネルクロックよりも高い周波数のクロックで前記再生信号をサンプリングするA/D変換器と、前記A/D変換器から出力（「A/D変換情報」という）を等化する第1の等化器と、前記第1の等化器の出力値列から補間値を生成する第1の補間回路と、前記A/D変換情報を前記第1の等化器出力遅延量と同等の遅延量を遅延させる遅延回路と、前記遅延回路の出力値列から補間値を生成する第2の補間回路と、前記A/D変換情報を等化する第2の等化器と、前記第2の等化器の出力列から補間値を生成する第3の補間回路と、前記第1の補間回路の出力から再生信号のチャネルクロックに位相同期した補間値を生成し得る補間位置情報を生成するとともに、前記第1、第2、及び第3の補間回路に対して、前記補間位置情報を供給する補間位置生成回路と、前記第1の補間回路の出力と前記第2の補間回路の出力を入力とする第1のタップ係数コントローラと、前記第1のタップ係数コントローラの出力タップ係数を前記第1の等化器用に変換する第1のレート補正回路と、前記第3の補間回路の出力と前記第2の補間回路の出力を入力とする第2のタップ係数コントローラと、前記第2のタップ係数コントローラの出力タップ係数を前記第2の等化器用に変換する前記第2のレート補正回路と、前記第3の補間回路出力を2値化して再生データ列を生成出力する2値化回路と、を備え、前記第1のレート補正回路から出力されるタップ係数が前記第1の等化器にフィードバック入力され、前記第2のレート補正回路から出力されるタップ係数が前記第2の等化器にフィードバック入力される。

【0028】本発明に係る情報検出回路は、再生信号のチャネルクロックよりも高い周波数のクロックで前記再生信号をサンプリングするA/D変換器と、前記A/D変換器から出力（「A/D変換情報」という）を等化する第1の等化器と、前記第1の等化器の出力値列から補間値を生成する第1の補間回路と、前記A/D変換情報を前記第1の等化器の出力遅延量と同等の遅延量遅延させる遅延回路と、前記遅延回路の出力値列から補間値を生成する第2の補間回路と、前記A/D変換情報を等化する第2の等化器と、前記第2の等化器の出力列から補

間値を生成する第3の補間回路と、前記第1の補間回路の出力から再生信号のチャネルクロックに位相同期した補間値を生成し得る補間位置情報を生成するとともに、前記第1、第2、第3の補間回路に対して前記補間位置情報を供給する補間位置生成回路と、入力される等化器選択信号により前記第1の補間回路の出力と前記第3の補間回路の出力を選択出力するセレクタと、前記等化器選択信号により等化方式が可変され、前記セレクタの出力と、前記第2の補間回路の出力とを入力とするタップ係数コントローラと、前記タップ係数コントローラの出力を、前記第1又は第2の等化器用に変換するレート補正回路と、前記等化器選択信号により、前記レート補正回路からの出力値を出力するか保持するかを選択制御する第1、及び第2のレジスタと、前記第3の補間回路の出力を2値化して再生データ列を生成出力する2値化回路と、を備え、前記第1及び第2のレジスタから出力されるタップ係数が、前記第1及び第2の等化器にそれぞれフィードバック入力される。本発明において、前記2値化回路がビタビ検出器より構成される。

【0029】本発明に係る情報検出回路においては、前記レート補正回路を通さずに、直接、前記タップ係数コントローラから出力されるタップ係数を前記等化器に供給する構成としてもよい。

【0030】本発明に係る光ディスク装置は、上記情報検出回路を備える。

【0031】

【発明の実施の形態】本発明の実施の形態について説明する。本発明は、その好ましい一実施の形態において、再生信号チャネルクロックよりも高い周波数のサンプリングクロックでA/D変換するA/D変換器(1)と、前記A/D変換器からのデジタル出力を前記A/D変換器と同じサンプリングクロックで等化する等化器

(2)と、等化器(2)のデジタル等化出力をリサンプリングして補間信号を出力する第1の補間回路(3)と、第1の補間回路(3)の補間信号から補間位置信号を生成し、第1の補間回路(3)への補間位置入力端に出力して位相同期ループを形成し、位相比較器、ループフィルタ、周波数変換回路よりなる補正位置生成回路

(4)を備え、A/D変換器(1)の出力をデジタル等化器と同じだけ遅延回路(5)で遅延させてからリサンプリングする第2の補間回路(3')と、を備え、前記第2の補間回路の補間位置は、前記補正位置生成回路からの補間位置情報が入力され、第1の補間回路(3)の出力と第2の補間回路(3')の出力とを入力とするタップ係数コントローラ(6)と、前記タップ係数コントローラから出力されるタップ係数を等化器用に変換したタップ係数を等化器に供給するレート補正回路(7)と、を備え、第1の補間回路の出力を2値化回路(8)に入力して、情報検出を行う。

【0032】本発明においては、再生信号をチャネルク

ロックよりも高い周波数のサンプリングクロックでA/D変換器でデジタル信号に変換し、A/D変換出力を、等化器にて同じサンプリングクロックでデジタル等化する。この等化器に出力から、PLL回路(特開平10-27435号公報等参照)を用いて、補間によるリサンプリングを行う。

【0033】また、A/D変換出力を等化器と同じだけ遅延させてから第2の補間回路によってリサンプリングする。ただし、第2の補間回路の補間位置情報は、PLL回路から出力される補間位置情報を用いる。

【0034】等化前後(等化器の入力信号と出力信号)の補間情報を、それぞれタップ係数コントローラに入力して仮のタップ係数を生成する。

【0035】この仮のタップ係数を、レート補正回路によって等化器の動作レートに変換して、等化器にフィードバックする。

【0036】等化器の出力を入力とする補間回路からの補間出力は、2値化回路に入力され、再生データ列として出力される。

【0037】本発明においては、適応等化器構成を2系統とし、タップ係数コントローラとレート補正回路を2系統備えてもよい。あるいは、適応等化器構成を2系統とし、タップ係数コントローラとレート補正回路を切り替える構成としてもよい。

【0038】本発明に係る情報検出回路においては、サンプリングクロックがチャネルクロックに近い場合、前記レート補正回路を通さずに、直接、前記タップ係数コントローラから出力されるタップ係数を前記等化器に供給する構成としてもよい。

【0039】

【実施例】上記した本発明の実施の形態について更に詳細に説明すべく、本発明の実施例について添付図面を参照して以下に詳細に説明する。

【0040】図1は、本発明の第1の実施例の構成を示す図である。図1を参照すると、再生信号はA/D変換器1に入力され、A/D変換器1では、チャネルクロックよりも高い周波数のサンプリングクロックでサンプリングして、デジタル信号よりなるサンプリング情報 $x_i$ を出力し、等化器2は、サンプリング情報 $x_i$ を入力してサンプリングクロックで動作させる。

【0041】等化器2の出力 $y_i$ は、位相情報がずれたサンプル列である。補間回路3は、等化器2の出力 $y_i$ をリサンプリング(再サンプリング)し、補間値を出力する。

【0042】補間回路3でリサンプルした後のデータ $z_i$ (等化後補間値)は、補間位置生成回路4に入力され、補間位置生成回路4では、補間位置情報を生成し、生成した補間位置情報を補間回路3にフィードバックする。

【0043】補間回路3と補間位置生成回路4は、いわ



ゆるPLL（位相同期ループ）構成のフィードバックループを構成している。

【0044】これによって、チャネルクロックレートに同期したサンプル情報列が再生成できる。

【0045】またA/D変換器1の出力情報を、デジタル等化器2と同じタイミング出力となる遅延量をもつ遅延回路5で補正し、その出力 $u_i$ から補間回路3'によって補間情報を生成する。ただし、補間回路3'での補間位置は、補間位置生成回路4から補間回路3へフィードバックされる補間位置情報と同じ値を用いる。

【0046】以上より、等化器2の入力および出力に対するそれぞれの補間情報 $w_i$ 、 $u_i$ が生成されることになる。

【0047】これら2つの情報をタップ係数コントローラ6に入力することで、仮のタップ係数値 $\alpha_i$ が生成される。

【0048】この仮のタップ係数は、チャネルクロックで等化器が動作する場合に有効であるが、本発明の一実施例では、チャネルクロックよりも早い周波数のクロックで等化器2が動作している。

【0049】そこで、サンプリングクロックとチャネルクロックの比に相当する部分を補正する必要がある。この補正を行うのがレート補正回路7である。

【0050】レート補正回路7で補正された真のタップ係数 $\beta_i$ は、等化器2にフィードバック入力されて、適応等化器を構成する。

【0051】また補間回路3の出力は、2値化回路8に入力されて再生データ列を出力する。続いて各構成要素の構成例を説明する。

【0052】図2は、本発明の一実施例における等化器2の構成の一例を示す図である。図2を参照すると、等化器2は、4つの1クロック遅延器21と、5つの乗算器22と、加算器23と、から構成されている5タップのトランスバースフィルタよりなる。本発明の一実施例において、等化器2は、周波数特性を可変できればよく、図2に示した構成に限定されるものでなく、他のフィルタ構成でもよいことは勿論である。

【0053】図3は、本発明の一実施例における補間回路3の構成の一例を示す図である。補間回路3'も、補間回路3と同一の構成とされている。図3を参照すると、1クロック遅延器31を備え、1時点前（1クロック前）の情報 $y_{i-1}$ と現時点の情報 $y_i$ とを用いて線形補間をしている。補間位置を $k$ （ $0 < k \leq 1$ ）とすると、次式（1）の操作で実現できる。

【0054】

$$z_i = y_{i-1} + k(y_i - y_{i-1}) \quad \dots(1)$$

【0055】すなわち1クロック遅延器31の出力 $y_{i-1}$ と現在のサンプル信号 $y_i$ とが減算器32に入力されて減算器32から信号 $(y_i - y_{i-1})$ が出力され、この信号 $(y_i - y_{i-1})$ を乗算器33で $k$ 倍した信号 $k(y_i - y_{i-1})$ が、加算器34で $y_{i-1}$ と加算され、補間値出力 $z_i$ 出力される。なお、本発明の一実施例において、より高次の補間を行なうようにしてもよい。

【0056】図4は、本発明の一実施例における補間位置生成回路4の構成の一例を示す図である。図4を参照すると、入力情報 $z_i$ は、位相比較器41により、位相情報 $\theta_i$ に変換される。位相情報 $\theta_i$ は、ローパスフィルタ（LPF）42により積分されて周波数情報 $V_i$ が生成される。 $V_i$ は時間経過に対してゆっくりと追従するが、この $V_i$ から、周波数変換回路43は、補間位置情報を生成する。

【0057】図17は、周波数変換回路43から出力される補間位置情報の信号波形の一例を示す図である。補間位置情報は、図17に示すように、鋸波上の関数であって、波形の傾きが周波数の関数となる。従って、周波数ずれ量が少ない時には傾きが小さく、周波数ずれ量が大きい場合には傾きが大きい。サンプリング周波数が再生チャネル周波数よりも高いため、補間位置が不連続になる部分で同期回路の動作を止めることで、この差を吸収している。

【0058】図18は、補間回路3の入力 $y_i$ 、出力 $z_i$ 、補間位置生成回路4の出力である補間位置情報、およびタイミング制御信号の関係を示す信号波形図である。

【0059】図18に示すように、補間位置が徐々にずれていって補間できなくなると、タイミング制御信号がLowレベルとなって、回路動作を一旦止めている。この回路の動作タイミングを制御する信号を、周波数変換回路43で生成している。

【0060】このタイミング制御信号は、図面上は図示されていないが、補間位置生成回路4に接続される回路群（例えば補間回路3、3'）の回路動作を制御する。

【0061】図5は、本発明の一実施例における補間位置生成回路4内の位相比較器41の構成の一例を示す図である。図5を参照すると、入力情報（等化後補間値） $z_i$ は、絶対値回路411に入力されてその絶対値が出力され、1クロック遅延器412で遅延され、連続する2つの時点の入力情報絶対値 $|z_i|$ 、 $|z_{i-1}|$ が比較器（CMP）413に入力され、大きさが比較される。また現在の入力情報絶対値 $|z_i|$ は乗算器414ではマイナス符号が付与され、 $-|z_i|$ と、一時点前の入力情報絶対値 $|z_{i-1}|$ がセレクト415に入力され、セレクト415は、比較器413の比較結果に基づき一方を選択することで、小さい方に符号を付け直して、セレクト415より出力する。

【0062】また、1クロック遅延器417と排他的論理和回路418によって、入力補間値 $z_i$ の符号が変化するタイミング信号（パルス幅は1クロック遅延器417の遅延時間に等しい）を生成して、セレクト415の出力にゲートをかける。かかる構成により、入力情報列

が、0レベルを遷移する時の位相情報を取り出すことができる。

【0063】図6は、本発明の一実施例における補間位置生成回路4内のループフィルタ（低域通過フィルタLPF）42の構成の一例を示す図である。図6を参照すると、入力位相情報 $\theta_i$ は、加算器421と1クロック遅延器422によって積分されて、周波数情報が生成され、この積分結果を乗算器423で $\beta$ 倍したものに、入力位相 $\theta_i$ を、乗算器424で $\alpha$ 倍した値を加算器425で加算して周波数情報 $V_i$ として出力することによって、周波数と位相を同時に制御することができる。

【0064】図7は、本発明の一実施例における補間位置生成回路4内の周波数変換回路43の構成の一例を示す図である。周波数変換回路43は、入力周波数情報 $V_i$ から、図17に示す鋸波形の信号（補間位置情報）を生成する回路である。

【0065】図7を参照すると、加算器431および1クロック遅延器433からなる積分回路内に、 $N$ を法とするMod関数（余り算出回路）432を挿入して構成されている。また、加算器431出力を、 $N$ を閾値として比較器434で比較することで、比較器434からは、図17に示した不連続タイミング又は動作タイミング制御信号が生成される。

【0066】図8は、本発明の一実施例におけるタップ係数コントローラ6の構成の一例を示す図である。等化後の入力情報（等化後補間値） $z_i$ は、等化誤差判定回路61に入力されて、毎サンプルごとに、等化誤差情報を出力する。完全に等化ができればこの値は0になる。

【0067】等化誤差情報は、遅延回路62によってタイミングを補正した後、乗算器64に入力される。

【0068】等化前の入力情報（等化前補間値） $w_i$ は、1クロック遅延器63によって1時刻ずつずれた入力情報を生成してこれを乗算器64に入力する。

【0069】乗算器64の出力は、それぞれ、乗算器65によって $\Delta$ 倍のゲインを乗じて積分器66に入力される。すなわち、等化前情報と誤差情報の相関が計算されて、相関が最も小さくなるように、係数が修正される適応等化器が構成される。

【0070】図20(a)、図20(b)には、符号間干渉が見られる光ディスク再生信号を、PR(1)適応等化器に入力した場合の、等化器の前後のアイパタンがそれぞれ示されている。

【0071】図20に示すように、信号を入力することで、徐々に、2値（振幅レベルは $\pm A$ ）に収束していくことがわかる。 $\Delta$ の値によって、収束する速度を調整することができる。

【0072】図9は、本発明の一実施例におけるタップ係数コントローラ6内の等化誤差判定回路61（図8参照）の構成の一例を示す図である。図9に示す構成では、 $\pm A$ のレベルに2値等化するための誤差判定回路が

示されている。

【0073】入力値 $z_i$ （補間値）に対して、等化レベル $A$ を入力とする減算器612と加算器613で、それぞれ、 $z_i - A$ 、および $z_i + A$ を生成し、補間値を入力とする比較器611の出力（補間値の極性を示す信号）を選択信号とするセクタ614で、補間値の極性に合わせてどちらかを選択出力する。

【0074】図10は、本発明の一実施例におけるレート補正回路7の構成の一例を示す図である。まず、レート補正回路7の必要性について説明する。

【0075】図19(A)には、光ディスク媒体面上に記録されている1Tマークを読み出した場合の波形すなわちヘッド媒体の応答特性を示している。さまざまなマークパタンの再生波形は、基本的に1Tマークの応答波形の重ね合わせで表現できるため、1Tの応答波形で考察を進める。図19(A)中の黒丸(●)が本来のチャネルクロック $f_0$ でサンプリングした場合であり、白丸(○)がチャネルクロックよりも高いサンプリングレート $f_1$ でサンプリングした場合である。波形中央を基準にした場合には、白丸と黒丸のタイミング差は、波形中央から離れるに従って増加し、 $\delta$ 、 $2\delta$ 、 $3\delta$ とずれていく。

【0076】ここで、 $T$ （チャネルクロック $f_0$ の周期）および $\delta$ （チャネルクロックとサンプリングクロックのタイミング差）は、次式(2)の関係にある。

【0077】

$$\begin{aligned} T &= 1/f_0 \\ \delta &= 1/f_0 - 1/f_1 \\ &\dots(2) \end{aligned}$$

【0078】次に、等化器2の応答特性を図19(B)に示す。等化器のタップ係数がそのまま応答波形の振幅値となる。図19(B)中の、黒丸の( $\alpha_i$ )は本来のチャネルクロックで適応等化して収束したタップ係数とする。図19(A)の黒丸サンプル値列を、タップ係数 $\alpha_i$ の等化器2に通すと、適正な適応等化波形が得られる。しかしながら、等化器はチャネルクロックよりも早い周波数で動作させる場合、このままのタップ係数では、不正な等化波形となってしまう。

【0079】そこで、等化器をチャネルクロックよりも早い周波数で動作させる本発明の一実施例においては、タップ係数コントローラから得られた係数値 $\alpha_i$ を、チャネルクロックとサンプリングクロックの比 $\beta$ だけ補正する。それが図19(B)の白丸(○)で示すタップ係数 $\beta_i$ である。

【0080】この変換は、 $\alpha_i$ を補間することで行う。線形補間する場合には、次式(3)となる。

【0081】

$$\begin{aligned} i \geq 0 \text{ の時 } & \beta_i = \alpha_i - i \times (\alpha_i - \alpha_{i-1}) \times \delta \\ i < 0 \text{ の時 } & \beta_i = \alpha_i - i \times (\alpha_{i+1} - \alpha_i) \times \delta \\ & \dots (3) \end{aligned}$$

【0082】図10は、上式(3)を回路として構成した一例を示す図であり、減算器71および乗算器72および加算器73によって構成できる。例えば $\beta_1$ は、 $\alpha_1$ と $\alpha_0$ を入力とする減算器71<sub>1</sub>の出力( $\alpha_0 - \alpha_1$ )に、乗算器72<sub>1</sub>で $\delta$ をかけたものに、加算器73<sub>1</sub>で $\alpha_1$ を加算して得られる。 $\beta_2$ は、 $\alpha_2$ と $\alpha_1$ を入力とする減算器71<sub>2</sub>の出力( $\alpha_1 - \alpha_2$ )に、乗算器72<sub>2</sub>で $2\delta$ をかけたものに、加算器73<sub>2</sub>で $\alpha_2$ を加算して得られる。

【0083】補間関数を必要に応じて、さらに高次にするにより、正確なレート補正が可能となる。ただし、 $\delta$ が小さい時には、線形補間で充分代用できる。

【0084】次に、本発明の第2の実施例について説明する。図11は、本発明の第2の実施例の構成を示す図である。図11において、図1に示した要素と同一又は同等の要素には同一の参照符号が付されている。高次のPR応答波形を利用したビタビ検出器では分解能が低くなるように波形等化するほうが高い検出性能となる。しかしながら、このような波形からクロックを抽出することは困難であるため、クロックのジッタが大きくなりビタビ検出器の本来の検出性能を発揮することができない。従って、PLL用の等化器とビタビ検出器用の等化器を別々に持つことが好ましい。

【0085】本発明の第2の実施例は、2系統の適応等化器を含んでいる。図11を参照すると、本発明の第2の実施例においては、A/D変換器情報を等化器2で等化し、PLLをかけて適応等化する構成は、前記実施例と同じであるが、さらに、等化器2'によって等化器2とは別の等化を行い、補間回路3"で補間値を生成する。

【0086】ただし、この時の補間位置情報は、等化器2の出力情報から生成した値を用いる。補間回路3"の出力はタップ係数コントローラ6'に入力され、レート補正回路7'でレート補正がなされて等化器2'のタップ係数値情報がフィードバックされる。補間回路3"の出力は同時にビタビ検出器8'に入力されて再生データ列を生成する。

【0087】次に、本発明の第3の実施例について説明する。図12は、本発明の第3の実施例の構成を示す図である。図12において、図1に示した要素と同一又は同等の要素には同一の参照符号が付されている。前記第2の実施例は、2系統の適応等化器を備えて構成されている。この場合、タップ係数コントローラ回路は、多数の乗算器と積分器で構成されているため、回路規模が大きくなる。

【0088】そこで本発明の第3の実施例においては、タップ係数コントローラ6とレート補正回路7を、2系統の適応等化器でタイムシェアすることで、回路規模の

削減が可能となる。等化器2の補間出力(補間回路3の出力)と、等化器2'の補間出力(補間回路3'の出力)をセクタ10によって切り替えてタップ係数コントローラ6に入力する。

【0089】また、レート補正回路7の出力を2系統に分けてそれぞれレジスタ9とレジスタ9'に入力する。それぞれのレジスタ出力は等化器2および等化器2'に接続される。

【0090】等化器選択信号によって、いずれか1系統の等化器の適応補正が実行される。ただし、タップ係数コントローラ6は、等化器選択信号によって、内部状態を変える必要がある。

【0091】図13は、本発明の第3の実施例におけるタップ係数コントローラ6の構成の一例を示す図である。

【0092】図13を参照すると、タップ係数コントローラ6は、等化器選択信号を選択信号として入力するセクタ67を備え、このセクタ67で、等化誤差判定器61の出力と、別の等化を行う等化誤差判定器61'の出力を選択可能としている点が、図8に示した構成と相違している。

【0093】次に、本発明の第4の実施例について説明する。図14は、本発明の第4の実施例の構成を示す図である。本発明の第4の実施例の基本構成は、図1を参照して説明した前記実施例と同様とされている。本発明の第4の実施例においては、さらに、再生データ列の検出性能を高めるために、2値化回路8'として、ビタビ検出器を用いている。

【0094】次に、本発明の第5の実施例について説明する。図15は、本発明の第5の実施例の構成を示す図である。再生信号のチャネルクロックの周波数変動が比較的小さい場合には、サンプリングレートをチャネルクロックにかなり近づけることができる。すなわち、サンプリングレートをチャネルクロックのタイミング差 $\delta$ (上式(5)参照)が0に非常に近い場合には、レート補正を無視することが可能である。図15を参照すると、本発明の第5の実施例においては、レート補正回路(図1の7)が省略されており、タップ係数コントローラ6の出力で直接等化器2のタップ係数を制御している。

【0095】次に、本発明の第6の実施例について説明する。図16は、本発明の第6の実施例をなす光ディスク装置の構成の一例を示す図である。本発明の第6の実施例に係る光ディスク装置においては、前記第1乃至第5の実施例において説明した、適応等化器を内蔵した情報検出回路を、備えている。

【0096】図16を参照すると、光ディスク媒体15に集光したレーザースポットをサーボ回路13により正確に位置決めして追従させる。レーザースポットはLDパワー制御回路12により一定に制御されている。サーボ回路1

3およびLDパワー制御回路12は、光ディスクコントローラ11によって制御される。

【0097】光ディスク媒体15からの反射光は、媒体面上の物理状態によって記録ビットの情報が光ヘッド14で読み出せる。光ヘッド14から出力される再生信号は、A/D変換器1でデジタル情報に変換する。A/D変換器1から出力されるデジタル情報はデジタル等化器2によって波形等化され、補間回路3において適正な情報(補間値)に補正された後、タップ係数コントローラ6でタップ係数が生成され、タップ係数はレート補正回路7でデジタル等化器2用に変換されてデジタル等化器2にフィードバックされる。かかる構成により、適応的な等化を実現することができる。補間回路3の出力は、補間位置生成回路4に入力されて再び補間回路3にフィードバックされ、かかる構成により、PLLループが形成される。また、補間回路3の出力は2値化回路8に入力されて再生データ列を生成し、光ディスクコントローラ11に入力される。

【0098】なお上記各実施例に示した各構成は、本発明を説明するために図面に例示したものであり、本発明を限定するためのものではなく、本発明は、上記実施例の構成に限定されず、本発明の原理に準ずる範囲内の各種変形を含むことは勿論である。

【0099】

【発明の効果】以上説明したように、本願発明によれば、ループディレイが短く、かつ信号品質の変化に対して適応的に追従するデジタルPLL回路を実現することができる、という効果を奏する。

【0100】その理由は、本発明においては、チャネルクロックと異なるクロックでサンプリングし補間によって理想的なサンプル値列を再生成するサンプル補間PLL方式と、適応等化器とを融合する回路構成としたことによる。

【0101】さらに本発明に係る光ディスク装置によれば、装置の信頼性の向上に貢献できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の構成を示す図である。

【図2】本発明の第1の実施例におけるデジタル化等化器の構成の一例を示す図である。

【図3】本発明の第1の実施例における補間回路の構成の一例を示す図である。

【図4】本発明の第1の実施例における補間位置生成回路の構成の一例の例である。

【図5】本発明の第1の実施例における補間位置生成回路内の位相比較器の構成の一例を示す図である。

【図6】本発明の第1の実施例における補間位置生成回路内のLPFの構成の一例を示す図である。

【図7】本発明の第1の実施例における補間位置生成回路内の周波数変換器の構成の一例を示す図である。

【図8】本発明の第1の実施例におけるタップ係数コン

トローラの構成の一例を示す図である。

【図9】本発明の第1の実施例におけるタップ係数コントローラ内の等化誤差判定回路の構成の一例を示す図である。

【図10】本発明の第1の実施例におけるレート補正回路の構成の一例を示す図である。

【図11】本発明の第2の実施例の構成を示す図である。

【図12】本発明の第3の実施例の構成を示す図である。

【図13】本発明の第3の実施例におけるタップ係数コントローラの構成の一例を示す図である。

【図14】本発明の第4の実施例の構成を示す図である。

【図15】本発明の第5の実施例の構成を示す図である。

【図16】本発明の第6の実施例の構成を示す図である。

【図17】本発明の実施例における補間位置変換器の動作を説明するための図である。

【図18】本発明の実施例において補間回路を用いたPLL回路の動作タイミングを示す図である。

【図19】本発明の実施例におけるレート補正回路の入出力対応関係を示す図である。

【図20】本発明の実施例を説明するための図であり、適応等化前後のアイパタン図である。

【図21】従来の情報検出回路の構成の一例を示す図である。

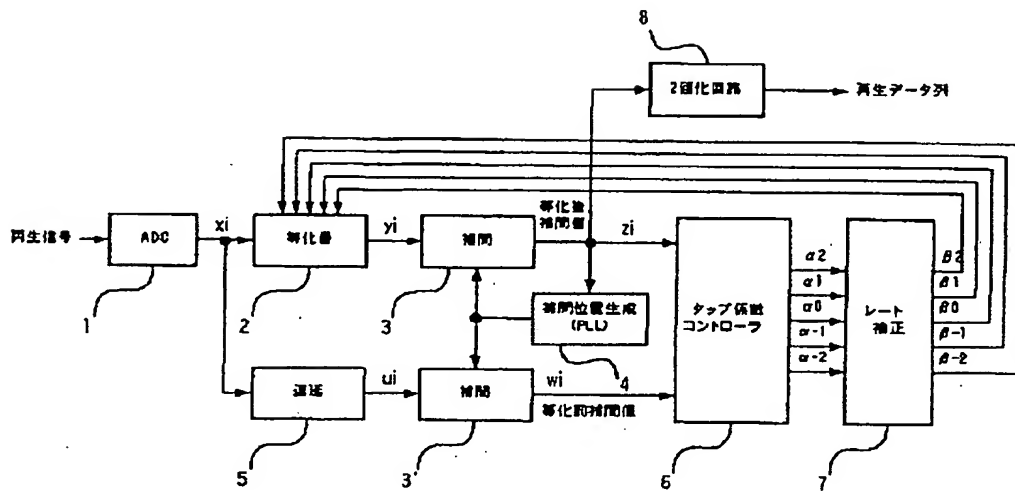
【符号の説明】

- 1 A/D変換器
- 2、2' 等化器
- 3、3'、3'' 補間回路
- 4 補間位置生成回路
- 5、6 遅延回路
- 6、6' タップ係数コントローラ
- 7、7' レート補正回路
- 8 2値化回路
- 21、31、412、417、422、433、63  
1クロック遅延器
- 22、33、414、423、424、64、65、7  
2 乗算器
- 23、34、421、425、431、73 加算器
- 41 位相比較器
- 42 LPF(低域通過フィルタ)
- 43 周波数変換回路
- 411 絶対値回路
- 413 比較回路
- 415、416、614、10、67 セレクタ回路
- 418 排他的論理和回路
- 432 余り算出回路

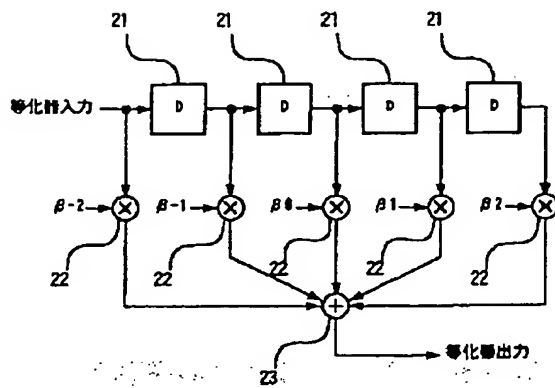
434、611 コンパレータ  
 61、61' 等化誤差判定  
 66 積分器  
 612、71 減算器  
 8' ビタビ検出器  
 9、9' レジスタ  
 11 光ディスクコントローラ

12 レーザーパワー制御回路  
 13 アクチュエーターサーボ回路  
 14 光ヘッド  
 15 光ディスク  
 44 D/A変換器  
 45 VCO (電圧制御発振器)

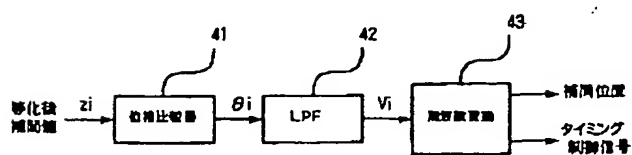
【図1】



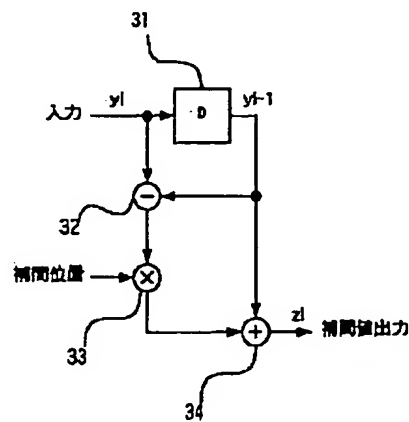
【図2】



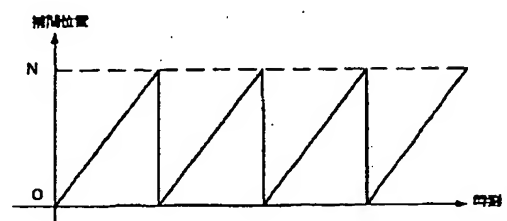
【図4】



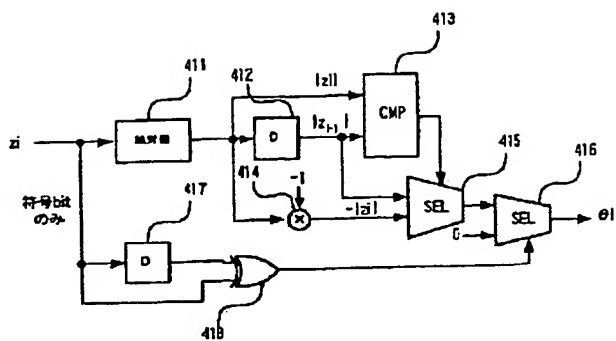
【図3】



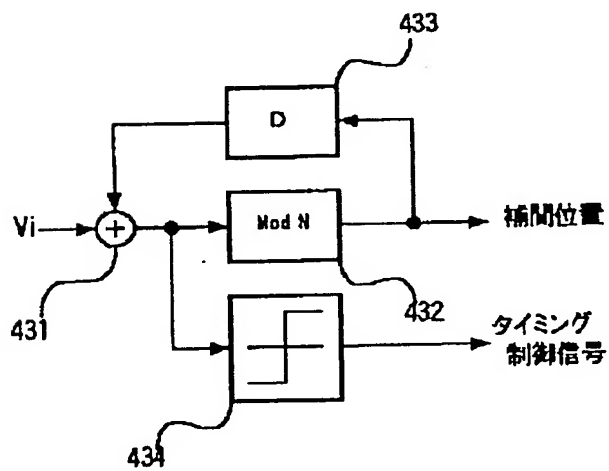
【図17】



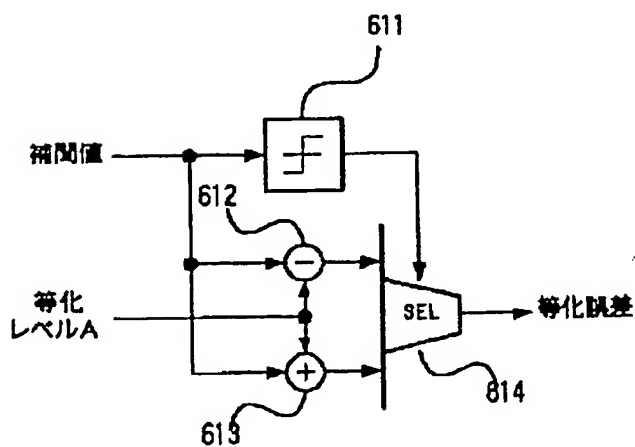
【図5】



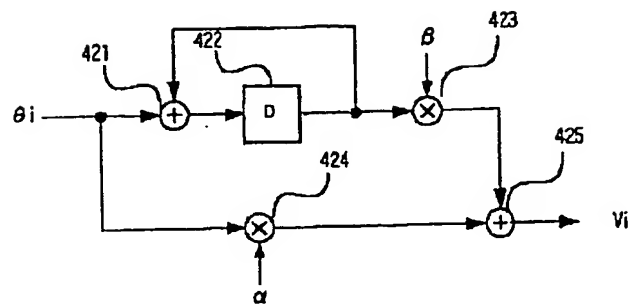
【図7】



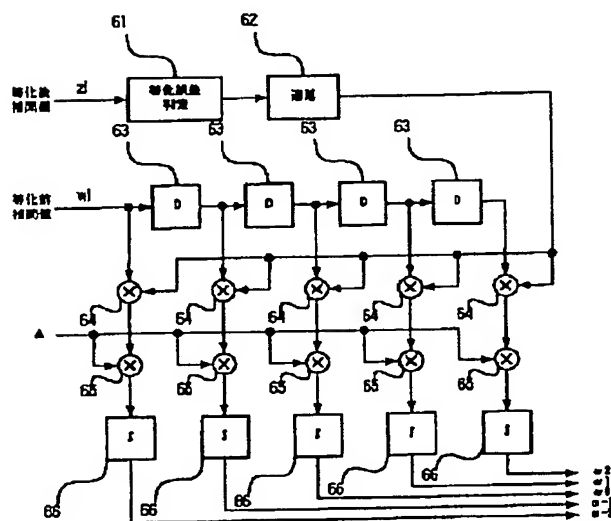
【図9】



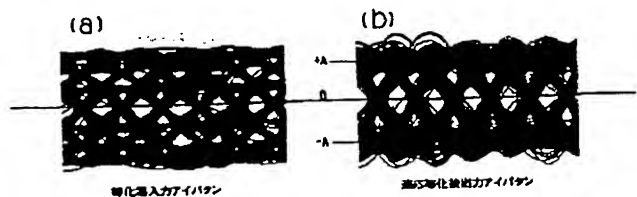
【図6】



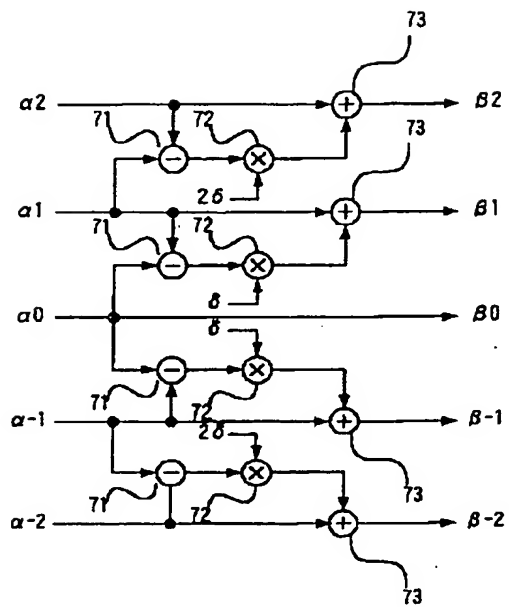
【図8】



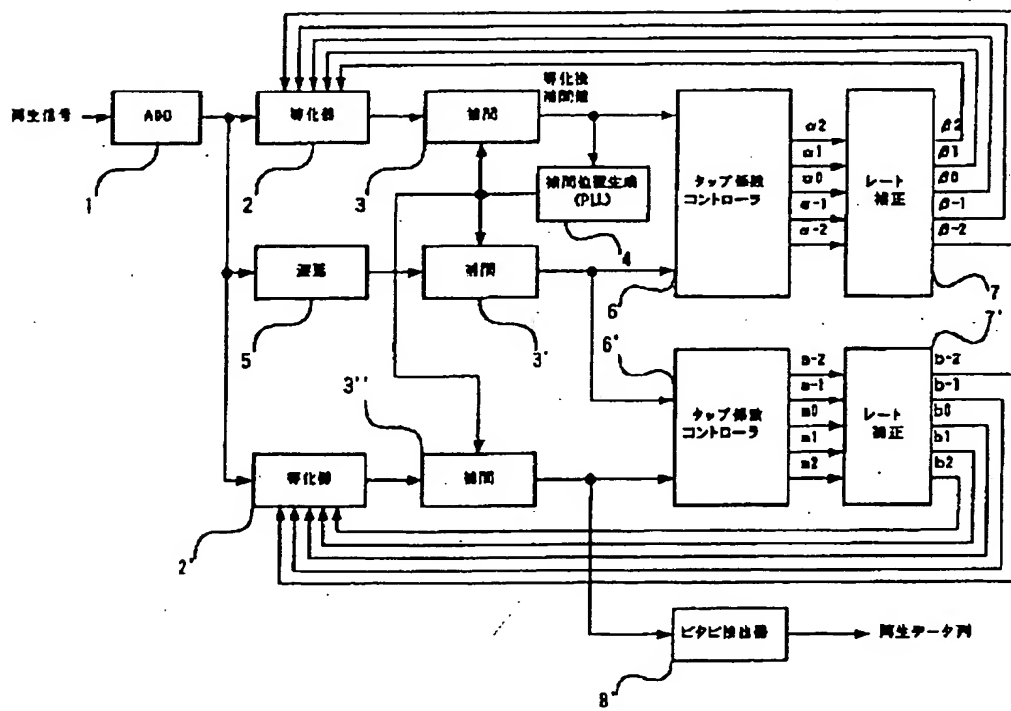
【図20】

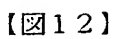


【図10】

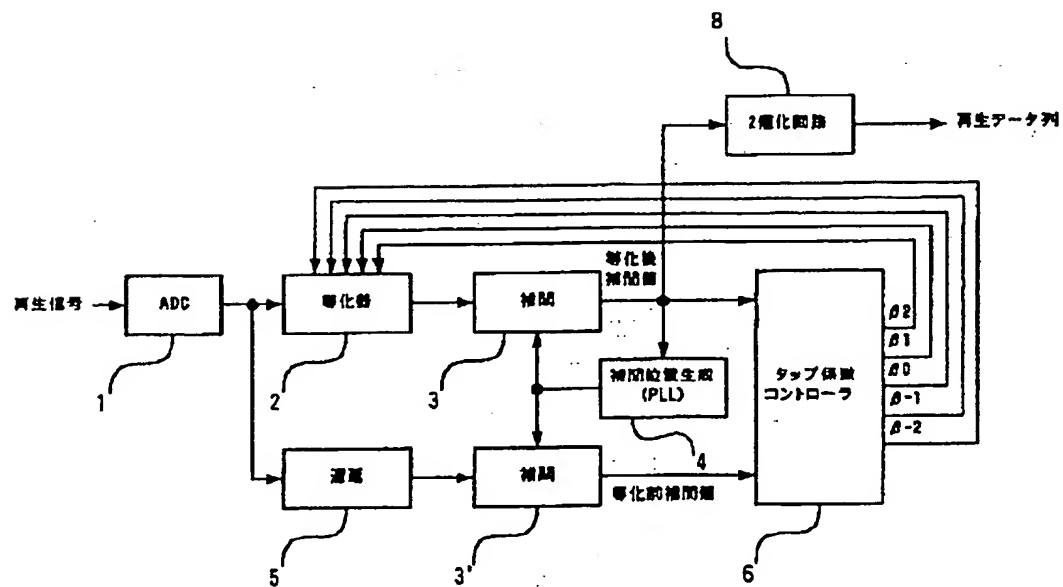
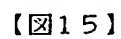


【図11】

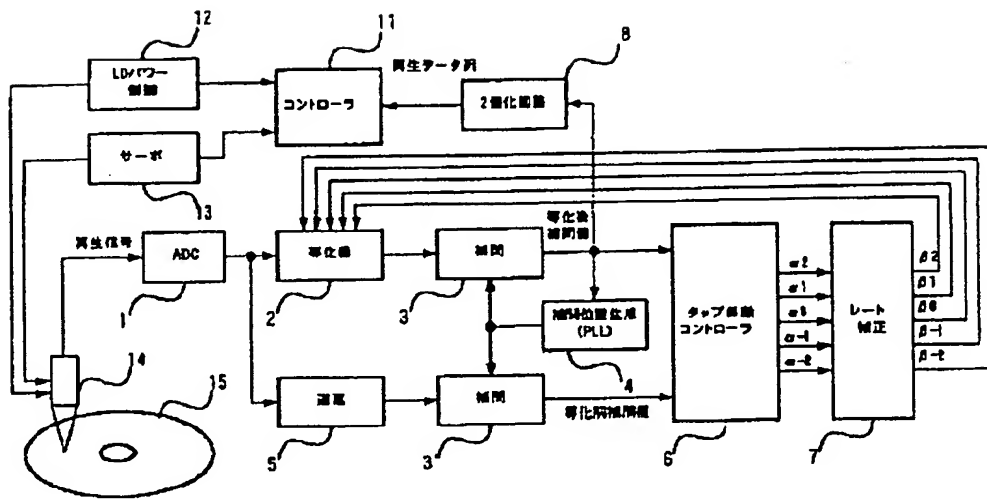




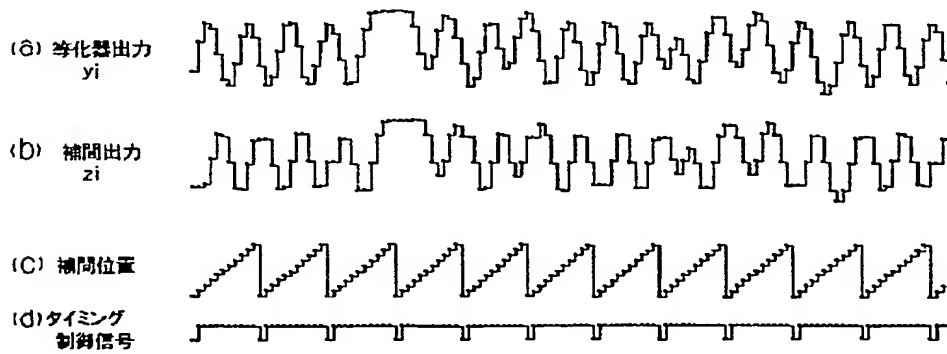




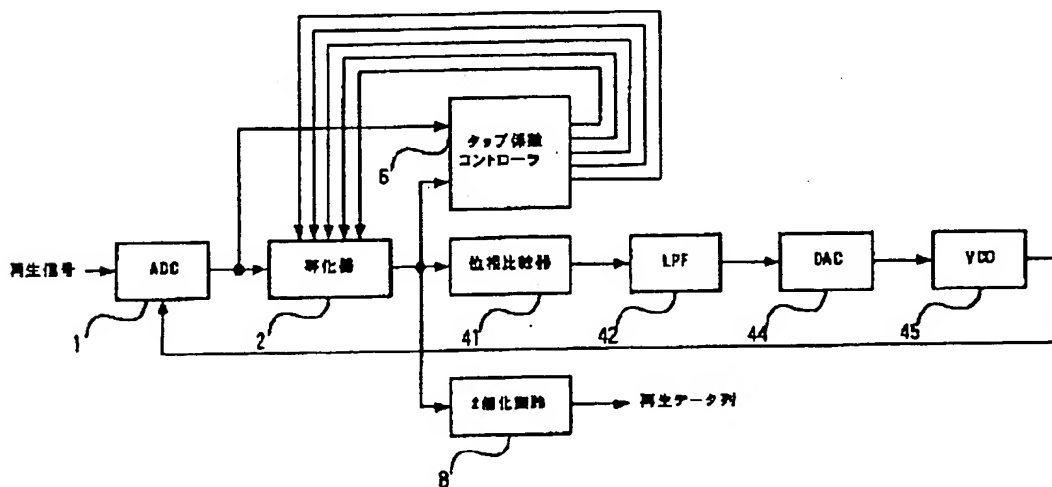
【図16】



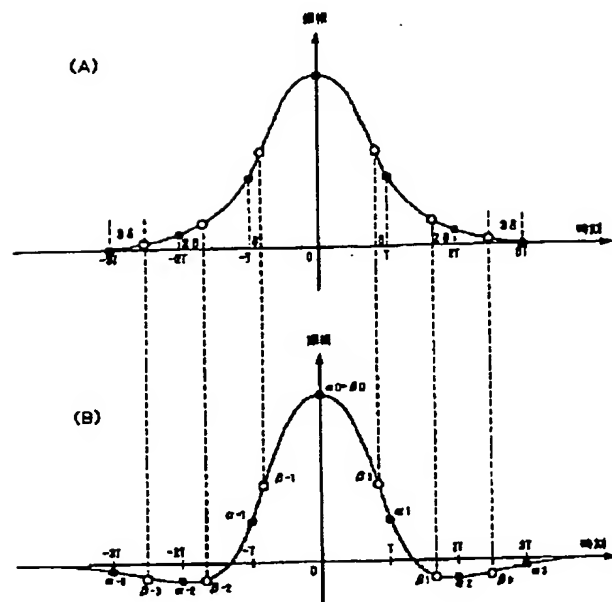
【図18】



【図21】



【图19】



**THIS PAGE BLANK (USPTO)**